

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340285

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H01L 21/60
G09F 9/00

(21)Application number : 10-287099

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 08.10.1998

(72)Inventor : UCHIYAMA KENJI

(30)Priority

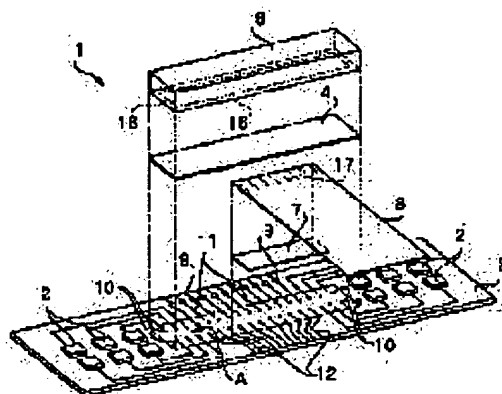
Priority number : 10 76334 Priority date : 24.03.1998 Priority country : JP

(54) MOUNTING STRUCTURE BODY FOR SEMICONDUCTOR CHIP, LIQUID CRYSTAL DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the generation of residual stress in a joining agent and to improve connection reliability between electrode terminals in a mounting structure body for loading a semiconductor chip to a substrate by using the joining agent such as ACF or the like.

SOLUTION: This mounting structure body of the semiconductor chip is provided with a semiconductor chip 6 provided with plural bumps 16 and a circuit board 3 provided with plural output wirings 11 and input terminals 12. The ACF 4 connects the semiconductor chip 6 and the circuit board 3 so as to mutually conduct the bumps 16 and the land part of the output wirings 11 or the like by receiving a press fitting processing. By dispersing and disposing plural through-holes 10 inside an area surrounded by the land part of the wirings 11 and the terminals 12 on the circuit board 3 and allowing the ACF 4 to be excessive at the time of the press fitting processing to escape through the through-holes 10, the generation of large internal stress in the ACF 4 is prevented. Thus, the connection



reliability relating to an IC 6 is improved.

LEGAL STATUS

[Date of request for examination] 05.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The mounting structure of the semiconductor chip characterized by distributing and arranging two or more through holes in the mounting structure of the semiconductor chip constituted by connecting said semiconductor chip and said substrate using cement so that those bumps and those lands may flow mutually while having the semiconductor chip equipped with two or more bumps, and the substrate equipped with two or more lands in the field surrounded by said two or more lands among said substrates.

[Claim 2] the pulse duty factor R of the sum total area of said through hole [on the mounting structure of a semiconductor chip according to claim 1, and as opposed to the area of said semiconductor chip] -- $0\% < R \leq$ The mounting structure of the semiconductor chip characterized by being 18%.

[Claim 3] The pulse duty factor R of the sum total area of said through hole [on the mounting structure of a semiconductor chip according to claim 1 and as opposed to the area of said semiconductor chip] is 2%. $\leq R \leq$ The mounting structure of the semiconductor chip characterized by being 10%.

[Claim 4] It is the mounting structure of the semiconductor chip characterized by being prepared in the location near [center section / of claim 1 to the claims 3 / of the field where said through hole is surrounded / in / at least / the mounting structure of the semiconductor chip of any one publication / by said two or more lands] said land.

[Claim 5] It is the mounting structure of the semiconductor chip which said substrate has at least two or more through holes of claim 1 to the claims 4 which flow through the wiring layer of front flesh-side both sides in the mounting structure of the semiconductor chip of any one publication, and is characterized by said two or more through holes being constituted by those through holes.

[Claim 6] In the liquid crystal equipment which modulates the light which controls and has the orientation of the liquid crystal and carries out incidence to this liquid crystal by controlling the electrical potential difference which has the liquid crystal pinched by the translucency substrate of a pair, and is impressed to the liquid crystal This liquid crystal equipment has the mounting structure of the semiconductor chip pasted up at least on one side of said translucency substrate. The mounting structure of that semiconductor chip While having IC for a liquid crystal drive equipped with two or more bumps, and the substrate equipped with two or more lands It is constituted by connecting said IC for a liquid crystal drive and said substrate using cement so that those bumps and those lands may flow mutually. Liquid crystal equipment characterized by distributing and arranging two or more through holes in the field furthermore surrounded by said two or more lands among said substrates.

[Claim 7] the pulse duty factor R of the sum total area of said through hole [on liquid crystal equipment according to claim 6 and as opposed to the area of said IC for a liquid crystal drive] -- $0\% < R \leq$ Liquid crystal equipment characterized by being 18%.

[Claim 8] The pulse duty factor R of the sum total area of said through hole [on liquid crystal equipment according to claim 6 and as opposed to the area of said IC for a liquid crystal drive] is 2%. $\leq R \leq$ Liquid crystal equipment characterized by being 10%.

[Claim 9] It is liquid crystal equipment characterized by being prepared in the location near [center

section / where said through hole is surrounded / in / at least / the liquid crystal equipment of any one publication / by said two or more lands / of claim 6 to the claims 8 / of *****] said land.

[Claim 10] It is liquid crystal equipment which said substrate has at least two or more through holes of claim 6 to the claims 9 which flow through the wiring layer of front flesh-side both sides in the liquid crystal equipment of any one publication, and is characterized by said two or more through holes being constituted by those through holes.

[Claim 11] It is electronic equipment by which the liquid crystal equipment is characterized by the thing of claim 6 to the claims 10 constituted [any / one] by the liquid crystal equipment of a publication at least in the electronic equipment constituted including liquid crystal equipment.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the mounting structure of structure which connects conductively two or more bumps especially prepared in a semiconductor chip, and two or more lands prepared in a substrate about the mounting structure of the semiconductor chip constituted by pasting up a semiconductor chip on a substrate using cement called ACF (Anisotropic Conductive Film: anisotropy electric conduction film) etc. Moreover, this invention relates to the liquid crystal equipment which used the mounting structure, and the electronic equipment using the liquid crystal equipment.

[0002]

[Description of the Prior Art] In electronic equipment, such as current, a portable telephone, and a Personal Digital Assistant machine, liquid crystal equipment is used widely. In order to display visible information, such as an alphabetic character, a figure, and a pattern, in many cases, the liquid crystal equipment is used.

[0003] Generally this liquid crystal equipment has the liquid crystal pinched by the translucency substrate of a pair, and modulates the light which controls and has the orientation of that liquid crystal and carries out incidence to this liquid crystal by controlling the electrical potential difference impressed to that liquid crystal. In order for this liquid crystal equipment to control the electrical potential difference impressed to liquid crystal, it is necessary to use IC for a liquid crystal drive, i.e., a semiconductor chip, and that IC is directly connected indirectly through a substrate on the above-mentioned translucency substrate.

[0004] Considering the case where IC for a liquid crystal drive is now connected to the translucency substrate of liquid crystal equipment through a substrate, as shown in drawing 9, by using ACF53 and connecting IC51 for a liquid crystal drive on a substrate 52, the mounting structure 58 is formed and the substrate 52 in the mounting structure 58 is further connected to translucency substrate 57a of liquid crystal equipment 56 using a connection member called FPC(Flexible Printed Circuit) 54 grade, for example. Liquid crystal equipment 56 is constituted including the translucency substrates 57a and 57b of a pair, and the liquid crystal 59 enclosed among them. A polarizing plate 60 is stuck on the outside front face of Substrates 57a and 57b, and a reflecting plate 61 is further formed in the front face of substrate 57a.

[0005]

[Problem(s) to be Solved by the Invention] However, in the conventional mounting structure 58, generally, as shown in drawing 10, the field A for equipping with IC51 for a liquid crystal drive among substrates 52 was the same flat side as the other surface field. Consequently, when there were too many amounts of ACF53, there was a problem that big residual stress occurred inside the ACF53 at the time of sticking-by-pressure connection of ACF53, therefore a faulty connection occurred with time.

[0006] In addition, in drawing 10, a sign 62 shows input wiring to IC51, and the sign 63 shows output wiring from IC51.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

PRIOR ART

[Description of the Prior Art] In electronic equipment, such as current, a portable telephone, and a Personal Digital Assistant machine, liquid crystal equipment is used widely. In order to display visible information, such as an alphabetic character, a figure, and a pattern, in many cases, the liquid crystal equipment is used.

[0003] Generally this liquid crystal equipment has the liquid crystal pinched by the translucency substrate of a pair, and modulates the light which controls and has the orientation of that liquid crystal and carries out incidence to this liquid crystal by controlling the electrical potential difference impressed to that liquid crystal. In order for this liquid crystal equipment to control the electrical potential difference impressed to liquid crystal, it is necessary to use IC for a liquid crystal drive, i.e., a semiconductor chip, and that IC is directly connected indirectly through a substrate on the above-mentioned translucency substrate.

[0004] Considering the case where IC for a liquid crystal drive is now connected to the translucency substrate of liquid crystal equipment through a substrate, as shown in drawing 9, by using ACF53 and connecting IC51 for a liquid crystal drive on a substrate 52, the mounting structure 58 is formed and the substrate 52 in the mounting structure 58 is further connected to translucency substrate 57a of liquid crystal equipment 56 using a connection member called FPC(Flexible Printed Circuit) 54 grade, for example.

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

TECHNICAL FIELD

[Field of the Invention] This invention relates to the mounting structure of structure which connects conductively two or more bumps especially prepared in a semiconductor chip, and two or more lands prepared in a substrate about the mounting structure of the semiconductor chip constituted by pasting up a semiconductor chip on a substrate using cement called ACF (Anisotropic Conductive Film: anisotropy electric conduction film) etc. Moreover, this invention relates to the liquid crystal equipment which used the mounting structure, and the electronic equipment using the liquid crystal equipment.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

EFFECT OF THE INVENTION

[Effect of the Invention] When according to the mounting structure, liquid crystal equipment, and electronic equipment of the semiconductor chip concerning this invention a semiconductor chip is stuck to a substrate by pressure where a lot of cement is inserted in between since the through hole was prepared in the substrate, it can prevent that can miss excessive cement to a through hole, and can prevent that big residual stress so occurs inside the cement at the time of the sticking-by-pressure connection using cement, therefore a faulty connection occurs with time.

[0063] Moreover, it can prevent nearly completely that can miss excessive cement certainly without nonuniformity since it is arranged in the state of distribution, without being arranged in the field which is surrounded by the land of plurality [through holes / two or more] especially according to this invention, and moreover those through holes concentrating on one place, and residual stress therefore occurs inside cement over the whole surface of a semiconductor chip.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

TECHNICAL PROBLEM

[Problem(s) to be Solved by the Invention] However, in the conventional mounting structure 58, generally, as shown in drawing 10 , the field A for equipping with IC51 for a liquid crystal drive among substrates 52 was the same flat side as the other surface field. Consequently, when there were too many amounts of ACF53, there was a problem that big residual stress occurred inside the ACF53 at the time of sticking-by-pressure connection of ACF53, therefore a faulty connection occurred with time.

[0006] In addition, in drawing 10 , a sign 62 shows input wiring to IC51, and the sign 63 shows output wiring from IC51. Although actual formation of these wiring is carried out much in fact, those parts are illustrated by a diagram and the remaining part is omitted with the chain line.

[0007] This invention is accomplished in view of the above-mentioned trouble, and aims at improving the connection dependability between electrode terminals in the mounting structure which carries a semiconductor chip called IC for a liquid crystal drive etc. in a substrate using cement called ACF etc.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

MEANS

[Means for Solving the Problem] (1) In order to attain the above-mentioned purpose, the mounting structure of the semiconductor chip concerning this invention is the mounting structure of the semiconductor chip constituted by connecting said semiconductor chip and said substrate using cement so that those bumps and those lands may flow mutually while having the semiconductor chip equipped with two or more bumps, and the substrate equipped with two or more lands. And this mounting structure is characterized by distributing and arranging two or more through holes in the field surrounded by said two or more lands among said substrates.

[0009] According to the mounting structure of this semiconductor chip, a semiconductor chip is fixed to a substrate with that cement by pushing a semiconductor chip against a substrate, where cement is inserted in between. In this case, when there are too many amounts of cement, and a semiconductor chip is pushed against a substrate, excessive cement enters into a through hole and, therefore, it is lost that residual stress arises of it inside cement. Consequently, it can prevent certainly that a faulty connection with time occurs in a connection.

[0010] In addition, as mounting structure of the semiconductor chip of this invention, the mounting structure of a COB (Chip OnBoard) method, the mounting structure of a COF (Chip On FPC) method, etc. can be considered, for example. The mounting structure of a COB method is the structure of mounting a semiconductor chip on a thick substrate, for example, an epoxy group plate etc., by comparatively hard. Moreover, the mounting structure of a COF method is the structure of having flexibility and mounting a semiconductor chip on a comparatively thin substrate (FPC : FlexiblePrinted Circuit), for example, a flexible printed circuit board.

[0011] According to JP,3-39876,U, although it is not a semiconductor chip, the technique of preparing a through hole in the interior of the wearing field of a chip is indicated. However, the through hole shown here is for making the cavity of the chip loading section easy to carry out, and it does not aim at not making cement generate residual stress. Therefore, the technical requirements of arranging forming a through hole in the field surrounded by two or more lands arranged in a substrate side corresponding to the bump of a semiconductor chip and the through hole of these plurality in the state of distribution are not shown in reference conventionally [this].

[0012] this invention person performed simulation about the arrangement gestalt of two or more through holes formed in a substrate in this invention, and obtained the following results.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view decomposing and showing 1 operation gestalt of the mounting structure of the semiconductor chip concerning this invention.

[Drawing 2] It is the perspective view showing the important section of the mounting structure of drawing 1 .

[Drawing 3] It is the perspective view showing 1 operation gestalt of the liquid crystal equipment concerning this invention.

[Drawing 4] It is the sectional view showing the cross-section structure of the important section of the liquid crystal equipment shown in drawing 3 .

[Drawing 5] It is the perspective view showing 1 operation gestalt of the electronic equipment concerning this invention.

[Drawing 6] It is the sectional view showing the important section of the internal structure of the electronic equipment shown in drawing 5 .

[Drawing 7] It is the mounting structure of the semiconductor chip concerning this invention, and is drawing showing the condition before the completion of mounting typically especially.

[Drawing 8] It is the mounting structure of the semiconductor chip shown in drawing 7 , and is drawing showing the condition after the completion of mounting typically.

[Drawing 9] It is drawing showing the conventional example of liquid crystal equipment equipped with the mounting structure of a semiconductor chip.

[Drawing 10] It is the perspective view decomposing and showing the mounting structure of the semiconductor chip shown in drawing 9 .

[Description of Notations]

1 Mounting Structure of Semiconductor Chip

2 Electronic Chip

3 Circuit Board

4 ACF

6 IC for Liquid Crystal Drive

7 ACF

8 Cable for Input

9 Through Hole

10 Through Hole

11 Output Wiring

12 Input Terminal

13 Land

14 Output Terminal

16 Bump

17 Circuit Pattern

19 Liquid Crystal Panel

20 Liquid Crystal Equipment
21a, 21b Translucency substrate
22 Liquid Crystal
23a, 23b Translucency electrode
24 Panel Side Edge Child
26 Polarizing Plate
27 Sealant
28 ACF
A IC wearing field
B The inside field of a land

[Translation done.]

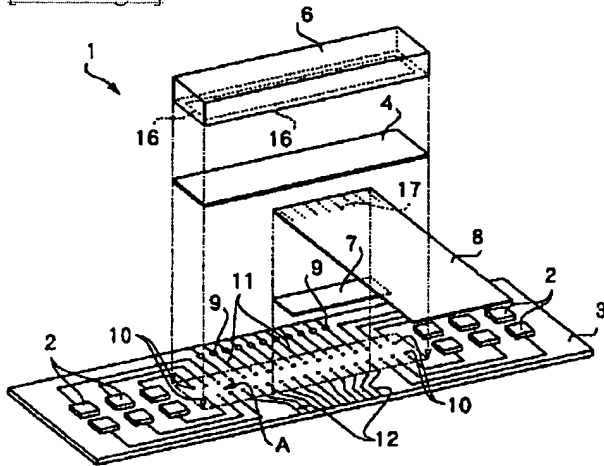
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

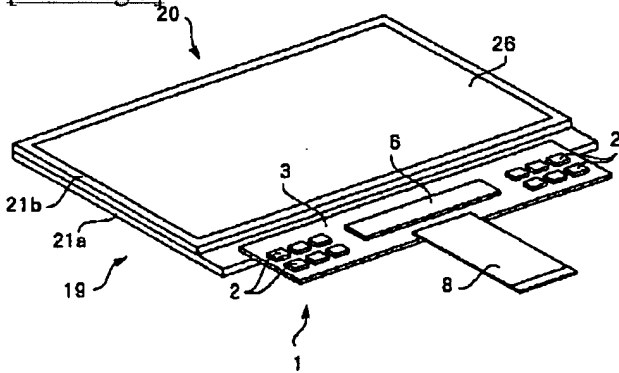
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

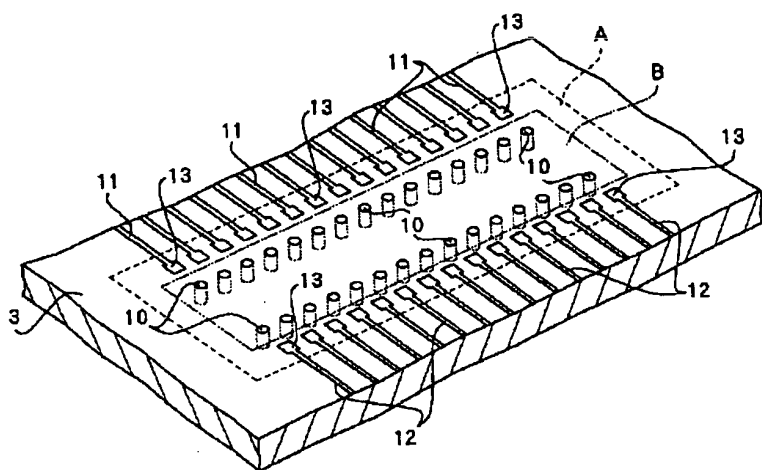
[Drawing 1]



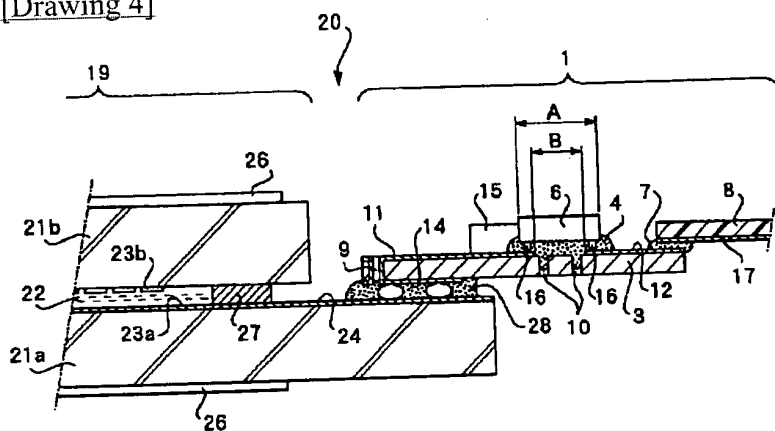
[Drawing 3]



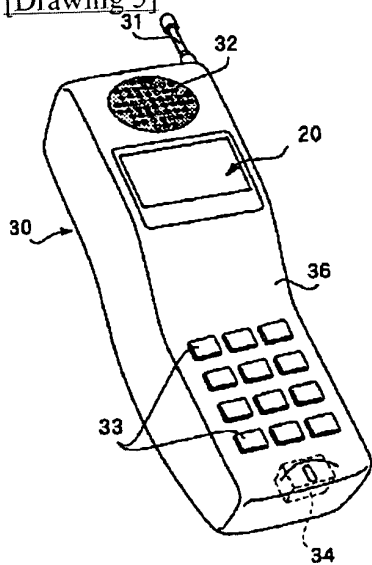
[Drawing 2]



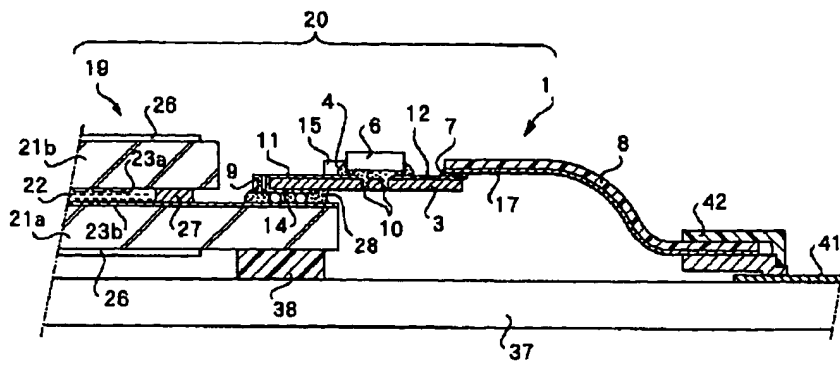
[Drawing 4]



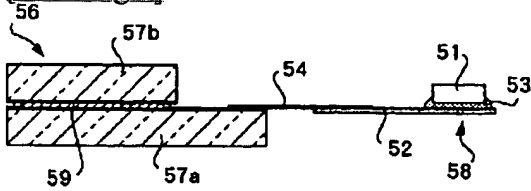
[Drawing 5]



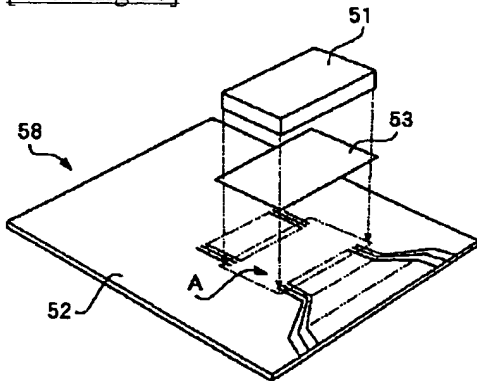
[Drawing 6]



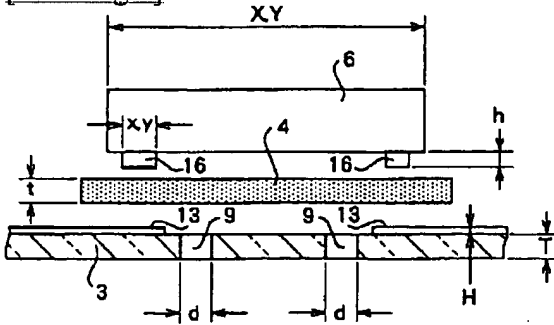
[Drawing 9]



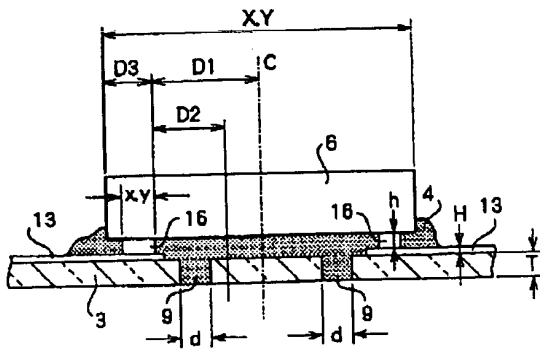
[Drawing 10]



[Drawing 7]



[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340285

(43) 公開日 平成11年(1999)12月10日

(51) Int. Cl. ⁴	発明記号	F I	
H 0 1 L 21/00	3 1 1	H 0 1 L 21/00	3 1 1 S
G 0 9 F 9/00	3 4 8	G 0 9 F 9/00	3 4 8 N

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21) 出願番号 特願平10-287039

(22) 出願日 平成10年(1998)10月8日

(31) 優先権主張番号 特願平10-76334

(32) 優先日 平10(1998)3月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002329

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 内山 憲治

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

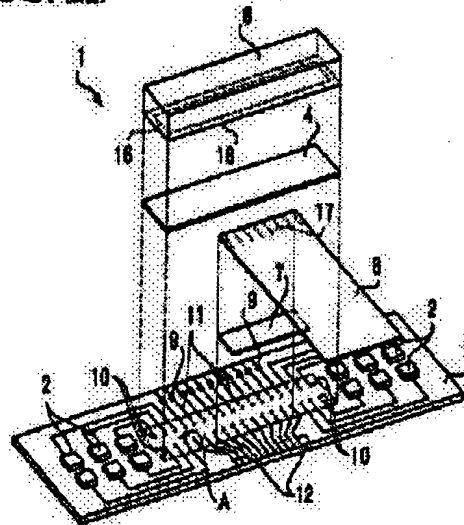
(74) 代理人 弁護士 鈴木 孝三郎 (外2名)

(54) 【発明の名称】 半導体チップの実装構造体、被品装載及び電子機器

(57) 【要約】

【課題】 半導体チップをACF等といった接合剤を用いて基板に搭載する実装構造体において、接合時に残留応力が生じることを防止して電極端子間の接続信頼性を向上する。

【解決手段】 複数のパンプ1,6を備えた半導体チップ6と、複数の出力配線1,1及び入力端子1,2を備えた回路基板3とを有する半導体チップの実装構造体である。ACF4は、圧着処理を受けることにより、パンプ1,6と出力配線1,1等のランド部分とが互いに導通するように半導体チップ6と回路基板3とを接続する。回路基板3のうち配線1,1及び端子1,2のランド部分によって囲まれる領域内に複数の貫通穴1,0を分散して配設し、圧着処理時に余分となるACF4をそれらの貫通穴1,0を通して逃がすことにより、ACF4に大きな内部応力が生じることを防止する。これにより、I/Oに関する接続信頼性を向上する。



【特許請求の範囲】

【請求項 1】 複数のパンフを備えた半導体チップと、複数のランドを備えた基板とを有すると共に、それらのパンフとそれらのランドとが互いに導通するように接合剤を用いて前記半導体チップと前記基板とを接続することによって構成される半導体チップの実装構造体において、前記基板のうち前記複数のランドによって囲まれる領域内に複数の貫通穴を分散して配設することを特徴とする半導体チップの実装構造体。

【請求項 2】 請求項 1記載の半導体チップの実装構造体において、前記半導体チップの面積に対する前記貫通穴の合計面積の占有率Rは、 $0\% < R \leq 1.8\%$ であることを特徴とする半導体チップの実装構造体。

【請求項 3】 請求項 1記載の半導体チップの実装構造体において、前記半導体チップの面積に対する前記貫通穴の合計面積の占有率Rは、 $2\% \leq R \leq 1.0\%$ であることを特徴とする半導体チップの実装構造体。

【請求項 4】 請求項 1から請求項 3のうちの少なくともいずれか1つに記載の半導体チップの実装構造体において、前記貫通穴は前記複数のランドによって囲まれる領域の中央部よりも前記ランドに近い位置に設けられることを特徴とする半導体チップの実装構造体。

【請求項 5】 請求項 1から請求項 4のうちの少なくともいずれか1つに記載の半導体チップの実装構造体において、前記基板は表裏両面の配線層を導通する複数のスルーホールを有し、前記複数の貫通穴はそれらのスルーホールによって構成されることを特徴とする半導体チップの実装構造体。

【請求項 6】 一對の透光性基板によって挟持される液晶を有し、その液晶に印加する電圧を制御することによってその液晶の配向を制御し、もって該液晶に入射する光を変調する液晶装置において、この液晶装置は、前記透光性基板の少なくとも一方に接合される半導体チップの実装構造体を有し、その半導体チップの実装構造体は、複数のパンフを備えた液晶駆動用ICと、複数のランドを備えた基板とを有すると共に、それらのパンフとそれらのランドとが互いに導通するように接合剤を用いて前記液晶駆動用ICと前記基板とを接続することによって構成されており、さらに前記基板のうち前記複数のランドによって囲まれる領域内には複数の貫通穴が分散して配設されることを特徴とする液晶装置。

【請求項 7】 請求項 6記載の液晶装置において、前記液晶駆動用ICの面積に対する前記貫通穴の合計面積の占有率Rは、 $0\% < R \leq 1.8\%$ 。

であることを特徴とする液晶装置。

【請求項 8】 請求項 6記載の液晶装置において、前記液晶駆動用ICの面積に対する前記貫通穴の合計面積の占有率Rは、 $2\% \leq R \leq 1.0\%$ 。

であることを特徴とする液晶装置。

【請求項 9】 請求項 6から請求項 8のうちの少なくともいずれか1つに記載の液晶装置において、前記貫通穴は前記複数のランドによって囲まれる領域の中央部よりも前記ランドに近い位置に設けられることを特徴とする液晶装置。

【請求項 10】 請求項 6から請求項 9のうちの少なくともいずれか1つに記載の液晶装置において、前記基板は表裏両面の配線層を導通する複数のスルーホールを有し、前記複数の貫通穴はそれらのスルーホールによって構成されることを特徴とする液晶装置。

【請求項 11】 液晶装置を含んで構成される電子機器において、その液晶装置は請求項 6から請求項 10のうちの少なくともいずれか1つに記載の液晶装置によって構成されることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ACF (Anisotropic Conductive Film: 異方性導電膜) 等といった接合剤を用いて半導体チップを基板に接合することによって構成される半導体チップの実装構造体に関し、特に、半導体チップに設けられる複数のパンフと基板に設けられる複数のランドとを導電接続する構造の実装構造体に関する。また、本発明は、その実装構造を用いた液晶装置及びその液晶装置を用いた電子機器に関する。

【0002】

【従来の技術】 現在、携帯電話機、携帯情報端末等といった電子機器において液晶装置が広く用いられている。多くの場合は、文字、数字、絵柄等といった可視情報を表示するためにその液晶装置が用いられている。

【0003】 この液晶装置は、一般に、一對の透光性基板によって挟持される液晶を有し、その液晶に印加する電圧を制御することによってその液晶の配向を制御し、もって該液晶に入射する光を変調する。この液晶装置は、液晶に印加する電圧を制御するために液晶駆動用IC、すなわち半導体チップを使用する必要があり、そのICは上記透光性基板上に直接に又は基板を介して間接的に接続される。

【0004】 今、基板を介して液晶駆動用ICを液晶装置の透光性基板に接続する場合を考えると、例えば、図9に示すように、液晶駆動用IC51を基板52上にACF53を用いて接続することによって実装構造体58を形成し、さらにその実装構造体58内の基板52をFPC (Flexible Printed Circuit) 54等といった接続

部材を用いて液晶装置56の透光性基板57aに接続する。液晶装置56は、一對の透光性基板57a及び57bと、それらの間に封入された液晶59とを含んで構成される。基板57a及び57bの外側表面には偏光板60が貼着され、さらに基板57aの表面には反射板61が設けられる。

【0005】

【発明が解決しようとする課題】しかしながら従来の実装構造体58では、一般に、図10に示すように、基板52のうち液晶駆動用IC51を装着するための領域Aがそれ以外の表面領域と同一の平坦面であった。その結果、ACF53の量が多過ぎると、ACF53の圧着接続時にそのACF53の内部に大きな残留応力が発生し、そのため、経時的に接続不良が発生するという問題があった。

【0006】なお、図10において符号62はIC51に対する入力配線を示し、符号63はIC51からの出力配線を示している。これらの配線は実際には多数本形成されるが、図ではそれらの一部分を図示し残りの部分を省略してある。

【0007】本発明は、上記の問題点に鑑みて成されたものであって、液晶駆動用IC等といった半導体チップをACF等といった接合剤を用いて基板に搭載する実装構造体において、電極端子間の接続信頼性を向上することを目的とする。

【0008】

【課題を解決するための手段】(1) 上記の目的を達成するため、本発明に係る半導体チップの実装構造体は、複数のパンプを備えた半導体チップと、複数のランドを備えた基板とを有すると共に、それらのパンプとそれらのランドとが互いに導通するように接合剤を用いて前記半導体チップと前記基板とを接続することによって構成される半導体チップの実装構造体である。そしてこの実装構造体は、前記基板のうち前記複数のランドによって囲まれる領域内に複数の貫通穴を分散して配設することを特徴とする。

【0009】この半導体チップの実装構造体によれば、接合剤を固めた状態で半導体チップを基板に押し付けることにより、その接合剤によって半導体チップを基板に固着する。この場合、接合剤の量が多過ぎるときには、半導体チップを基板に押し付けたときに余分な接合剤は貫通穴に入り込み、よって、接合剤の内部に残留応力が生じることがなくなる。その結果、接続部に経時的な接続不良が発生することを確実に防止できる。

【0010】なお、本発明の半導体チップの実装構造体としては、例えば、COB (Chip On Board) 方式の実装構造体や、COF (Chip On FPC) 方式の実装構造体等が考えられる。COB方式の実装構造体は、比較的硬質で厚い基板、例えばエポキシ基板等の上に半導体チップを実装す

る構造である。また、COF方式の実装構造体は、可撓性を備えていて比較的薄い基板、例えば可撓性プリント基板 (FPC : Flexible Printed Circuit) の上に半導体チップを実装する構造である。

【0011】実開平3-39876号公報によれば、半導体チップではないがチップ部品の装着領域の内部に貫通穴を設けるという技術が開示されている。しかしながら、ここに示された貫通穴はチップ搭載部の凹陥を解消するためのものであり、接合剤に残留応力を発生させないことを目的とするものではない。そのため、この従来文献には、半導体チップのパンプに対応して基板側に配設される複数のランドによって囲まれる領域内に貫通穴を形成すること及びそれら複数の貫通穴を分散状態で配設することといった技術要件は示されていない。

【0012】本発明者は、本発明において基板に形成する複数の貫通穴の配置形態に関してシミュレーションを行い、次のような結果を得た。今、圧着前の状態として図7に示すようなモデルを考え、圧着後の状態として図8に示すようなモデルを考える。これらの図において各符号は以下の意味を有する。

【0013】

X、Y : 液晶駆動用IC (すなわち、半導体チップ) 6の外形寸法

x、y : パンプ16の外形寸法

h : パンプ16の高さ

n : パンプ16の数

t : ACF (すなわち、接合剤) 4の厚み

T : 基板3の厚み

H : ランド13の厚み

d : スルーホール (すなわち、貫通穴) 9の穴径

N : スルーホール9の穴数

(A) 液晶駆動用IC6を基板3に圧着するとき、液晶駆動用IC6によって押されるACF4の体積Vは、 $V = X \cdot Y \cdot t \cdots \cdots (1)$

である。

【0014】(B) 図8に示す圧着完了状態において、パンプ16によって排除されるACF4の体積v1は、 $v1 = x \cdot y \cdot h \cdot n \cdots \cdots (2)$

である。また、図8に示す圧着完了状態において、ランド13によって排除されるACF4の体積v2は、 $v2 = x \cdot y \cdot H \cdot n \cdots \cdots (3)$ である。但し、簡単のため、ランド13のサイズをパンプ16のサイズと同等とする。

【0015】(C) 圧着時にICチップ6の外形より外側にはみ出すACF4は無いものと仮定する。圧着によって余分となる (すなわち、排除される) ACF4の体積v0は

$$v0 = X \cdot Y \cdot (t - h) + v1 + v2 \cdots \cdots (4)$$

である。なお、上式において $(t-h)$ は、圧着によるACF4の厚みの減少量を示す。

【0016】(D) 余分となる体積 v_0 のACF4が基板3の穴9に全て充填されるものとし、さらに穴9の

総面積を S_0 とすると、

$$S_0 \cdot T = v_0$$

であり、従って

$$S_0 = \{X \cdot Y \cdot (t-h) + v_1 + v_2\} / T \quad \dots \dots (5)$$

である。

【0017】(E) 基板3に設けた穴9の総面積 S_0

の液晶駆動用IC6に対する占有率(%)は

$$R = (S_0 / X \cdot Y) \times 100 \quad \dots \dots (6)$$

である。ここで、穴9は丸穴でも、角穴でも、それらの組み合わせでも、あるいは他の任意の形状でも構わない。

い。

【0018】(F) 例えば、穴9を丸穴と仮定し、さらに、余分となる体積 v_0 のACF4がその丸穴に全て充填されるとすると、

$$v_0 = (d/2)^2 \cdot \pi \cdot T \cdot N \quad \dots \dots (7)$$

となり、従って

$$\text{穴数 } N = v_0 / (d/2)^2 \cdot \pi \cdot T$$

$$= \{X \cdot Y \cdot (t-h) + v_1 + v_2\} / (d/2)^2 \cdot \pi \cdot T \quad \dots \dots (8)$$

ある。

【0019】(G) シミュレーションの結果は次表の通りである。

【0020】

【表1】

R(%)	2.9	7.9	7.9	7.9	4.4	2.2	1.1	0.1
X(μm)	3400	3400	3400	3400	3400	3400	3400	3400
Y(μm)	10000	10000	10000	10000	10000	10000	10000	10000
X(μm)	70	70	70	70	70	70	70	70
Y(μm)	70	70	70	70	70	70	70	70
h(μm)	15	15	15	15	15	15	15	15
v(μm)	300	300	300	300	300	300	300	300
T(μm)	20	20	20	20	20	20	20	20
d(μm)	100	100	100	100	100	100	100	100
N(個)	37.7	75.0	75.0	75.0	18.8	9.4	4.7	0.5

R(%)	7.9	9.9	11.9	7.9
X(μm)	3400	3400	3400	3400
Y(μm)	10000	10000	10000	10000
X(μm)	70	70	70	70
Y(μm)	70	70	70	70
h(μm)	15	15	15	15
v(μm)	300	300	300	300
T(μm)	20	20	20	20
d(μm)	100	100	100	100
N(個)	37.7	46.0	48.0	37.7

【0021】上表において、Rは上式(6)より求め、Nは上式(8)より求めた。また、上表において、 $T = 10.0 \mu m$ 以上のデータはCOB方式の実装構造に関するものであり、 $T = 5.0 \mu m$ 以下のデータはCOF方式の実装構造に関するものである。

【0022】(H) 基板3に設ける穴9の占有率は、液晶駆動用IC6の大きさ、パンプ16の大きさ及び数、ACF4の厚み、基板3の厚み、ランド13の厚み等の組み合わせによって変化するが、ACF4の接続信頼性を確保するには、ACF4が液晶駆動用IC6と基板3との間には十分に充填されている必要があり、適正な厚みのACF4を選択することも可能である。

【0023】しかしながら、現実の圧着作業においては多種多様な部品の組み合わせを圧着する必要があり、それぞれに対応する最適なACF4を使い分けることは困難である。これに対し、本願発明によれば、ACF4の

厚さが厚い場合には余分なACF4を基板穴9へ逃がすことによって最適な圧着状態を確保でき、それ故、ACF4の厚みを少ないバリエーションに設定しても多機種の圧着に対応できる。

(2) 上記のシミュレーション結果を参照すれば、基板穴9の液晶駆動用IC6(すなわち、半導体チップ)に対する面積占有率R(%)は、

$$0\% < R \leq 18\%$$

の範囲にあることが望ましい。この寸法設定により、圧着が行われる際に換合剤を確実に真通穴に逃がすことができる。

【0024】(3) また、基板穴9の面積占有率R(%)は、

$$2\% \leq R \leq 10\%$$

の範囲にあることがより一層望ましい。この寸法設定によれば、圧着が行われる際に換合剤を確実に真通穴に逃

がすることができると共に、配線パターンを形成するための基板の面積をより大きく残すことも可能になる。

【0025】(4) 上記構成の半導体チップの実装構造体に関しては、基板に設ける複数の貫通穴を複数のランドによって囲まれる領域の中央部よりもそれらのランドに近い位置に設けることが望ましい。こうすれば、パンプ及びランドによって排除される接合剤の全てを確実に上記貫通穴に逃がすことができる。

【0026】具体的には、図8において、1.Cチップ6の中央Cとパンプ16との間の距離D1の2/3以下の範囲D2の中に貫通穴9を設けることが望ましい。例えば、1.Cチップ6の幅を $X=3\text{mm}$ ($=3000\mu\text{m}$)とし、1.Cチップ6の端面からパンプ16の内側端面までの距離を $D3=0.3\text{mm}$ とすれば、

$$D1 = X/2 - D3$$

$$= 3/2 - 0.3$$

$$= 1.2\text{ (mm)}$$

であり、それ故

$$D2 = D1 \times 2/3 = 0.8\text{ (mm)}$$

となる。つまり、この場合には、パンプ16の内側端面から0.8mmの範囲の中に貫通穴9を設けることが望ましい。

【0027】(5) 本発明に用いられる基板は、単一の配線層を備えた基板によって形成することもできるし、あるいは、複数の導電性スルーホールによって互いに電気的に接続される複数の配線層を含む基板によって構成することもできる。そのような導電性スルーホールを備えた基板を用いる場合には、その基板に形成される導電性スルーホールを接合剤を逃がすための複数の貫通穴として用いることができる。

【0028】現在のところ、基板に形成される導電性スルーホールは1.Cチップの搭載領域の外側に配置されることが多いと考えられるが、面積の小さい基板内に高密度な配線パターンを形成するという、いわゆる高密度実装が行われる場合には、1.Cチップの搭載領域の内部に導電性スルーホールを配置することが非常に効果的であり、そのようなパターン配置のときにそれら複数の導電性スルーホールを接合剤を逃がすための貫通穴として利用すれば非常に効果的である。

【0029】(6) 次に、本発明に係る液晶装置は、一対の透光性基板によって挟持される液晶を有し、その液晶に印加する電圧を制御することによってその液晶の配向を制御し、もって該液晶に入射する光を制御する液晶装置である。そしてこの液晶装置は、前記一対の透光性基板の少なくとも一方に接合される半導体チップの実装構造体を有しており、その実装構造体は、複数のパンプを備えた液晶駆動用1.Cと、複数のランドを備えた基板とを有すると共に、それらのパンプとそれらのランドとが互いに導通するように接合剤を用いて前記液晶駆動用1.Cと前記基板とを接続することによって構成され

る。そしてさらに、前記基板のうち前記複数のランドによって囲まれる領域内には複数の貫通穴が分散状態で設けられる。

【0030】この液晶装置を製造するときには、接合剤を固めた状態で液晶駆動用1.C (すなわち、半導体チップ) を基板に押し付けることにより、その接合剤によって液晶駆動用1.Cが基板に固められる。この場合、接合剤の量が多過ぎるときには、液晶駆動用1.Cを基板に圧着したときに余分な接合剤は貫通穴に入り込み、よって、接合剤の内部に残留応力が生じることがなくなる。

【0031】(7) 上記(6)記載の液晶装置において、液晶駆動用1.Cの面積に対する貫通穴の合計面積の占有率をRとすれば、

$$0\% < R \leq 18\%$$

であることが望ましい。この寸法設定により、圧着が行われる際に接合剤を確実に貫通穴に逃がすことができる。

【0032】(8) 上記(6)記載の液晶装置において、液晶駆動用1.Cの面積に対する貫通穴の合計面積の占有率をRとすれば、

$$2\% \leq R \leq 10\%$$

であることがより一層望ましい。この寸法設定によれば、圧着が行われる際に接合剤を確実に貫通穴に逃がすことができると共に、配線パターンを形成するための基板の面積をより大きく残すことも可能になる。

【0033】(9) 上記(6)から(8)に記載の液晶装置に関しては、接合剤を逃がすための貫通穴を前記複数のランドによって囲まれる領域の中央部よりもそれらのランドに近い位置に設けることが望ましい。こうすれば、液晶駆動用1.Cを基板上に圧着する際にパンプ及びランドによって排除される接合剤の全てを無理なく確実に貫通穴に逃がすことができる。

【0034】(10) 上記(6)から(9)に記載の液晶装置に関して、基板は、複数のスルーホールによって互いに電気的に接続される複数の配線層を備えた基板によって構成でき、その場合には、接合剤を逃がすための複数の貫通穴をそれらのスルーホールによって構成することができる。こうすれば、接合剤を逃がすために専用の貫通穴を設ける必要がなくなるので、基板の面積を配線エリア等として効果的に使用できる。

【0035】(11) 次に、本発明に係る電子機器は、液晶装置を含んで構成される電子機器において、その液晶装置が上記(6)から(10)記載の液晶装置であることを特徴とする。このような電子機器としては、例えば、携帯電話機、携帯情報端末等が考えられる。

【0036】

〔発明の実施の形態〕 (半導体チップの実装構造体に関する実施形態) 図1は、本発明に係る半導体チップの実装構造体の一実施形態を示している。ここに示す実装構

造体1は、チップコンデンサ、チップ抵抗等といった電子チップ部品2が実装された回路基板3と、接合剤としてのACF(Anisotropic Conductive Film:異方性導電膜)4によって回路基板3の表面に接続される液晶駆動用IC6と、そして、ACF7によって回路基板3の表面に接続される入力用ケーブル8とを含んで構成される。

【0037】電子チップ部品2は、液晶装置を駆動するための駆動回路を構成するための回路部品である。これらの電子チップ部品2は、例えば、半田付けによって回路基板3上に接続できる。また、銀ペースト等といった導電性接合剤やACFを用いた接続も可能である。

【0038】回路基板3は、例えば、ガラスエポキシ基材の表裏両面に銅箔を被覆し、エッチングによって配線パターンを形成し、さらにスルーホール9を介して表裏両面の導通をとることによって形成される。配線パターンの表面にはNi-Auメッキを施して、マイグレーション等といった不具合が発生しないようにすると好都合である。

【0039】回路基板3の表面には、液晶駆動用IC6を装着するための領域であるIC装着領域Aが設定される。また、配線パターンとして複数の出力配線11及び複数の入力端子12が形成され、それらの先端が図2に示すようにIC装着領域Aの内部領域においてランド13を形成する。出力配線11の表側、すなわち液晶駆動用IC6と反対側の面には、図4に示すように、各出力配線11に対応させて出力端子14が形成され、それらの出力端子14と各出力配線11がスルーホール9によって導通接続されている。

【0040】図1において、液晶駆動用IC6はその底面、すなわち能動面に複数のパンプ16を有し、それらのパンプ16がACF4によって回路基板3上の複数の出力配線11に個々に導通接続される。ACF4は、例えば、エポキシ系接合剤を主成分とする接合剤の中に、粒径5 μ mのポリスチレン粒子にNi-Auメッキを施すことによって形成した導電粒子を分散させることによって形成できる。このACF4を用いる場合には、温度180℃、圧力1.0 \pm 1ノバ、加圧時間30秒の条件で熱圧着を行うことができる。

【0041】入力用ケーブル8の先端の下面には配線パターン17が形成され、それらの配線パターン17がACF7によって回路基板3の入力端子12に導通接続される。ACF7は、粒径3～10 μ m程度のニッケル金属粒子からなる導電粒子と、エポキシ系接合剤を主成分とする接合剤とから成るものを使用し、温度170℃、圧力3MPa、加圧時間20秒の条件で接続した。

【0042】また、回路基板3と入力用ケーブル8とは、従来行われている半田付けにより、手作業や機械で接続することができる。さらに、回路基板3と入力用ケーブル8との接続部には、シリコン樹脂、アクリル樹脂

又はウレタン樹脂等のモールド材をコーティングして、防湿、防塵及び機械的接触による損傷の防止等を行うことが望ましい。このようなモールド材は、回路基板3と後述する液晶パネルとの接続部、液晶駆動用IC6と回路基板3との接続部、電子部品2と回路基板3との接続部等に関しても同様に用いることができる。

【0043】本実施形態に係る半導体チップの実装構造体1では、図2に示すように、IC装着領域Aの内部であって、特に、複数の出力配線11のランド13及び複数の入力端子12のランド13によって囲まれる領域B内に複数の貫通穴10を分散して配設した。

【0044】今、液晶駆動用IC6の基板3への搭載面の面積に対する貫通穴10の合計面積の占有率をRとすると、シミュレーション結果と経時的な接続不良の測定及び液晶駆動用IC6と回路基板3との接続強度の実験により

$$0\% < R \leq 1.8\%$$

に設定することが望ましい。これによると、占有率Rが0%であると導通能力が落ちてしまい、著しい経時的な接続不良が発生させ、また占有率Rが1.8%より大きいと十分な接続強度が確保できないものであった。より望ましくは $2\% \leq R \leq 10\%$ に設定することにより、液晶駆動用IC6と回路基板3との接続強度が確保されながら、更に余分なACF4を貫通穴10を通して逃がすことができるので、導通能力を低下させることができる。また、貫通穴10を設ける位置は、ランドによって囲まれる領域Bの中央部よりも、できるだけパンプに近い位置とすることで各パンプと対応するランドとの接続部において、余分なACF4を速やかに逃がすことができる。

【0045】本実施形態に係る半導体チップの実装構造体では、回路基板3のIC装着領域Aの内部、特にランドによって囲まれる領域B(図2参照)の内部に複数の貫通穴10を分散状態で形成したので、液晶駆動用IC6を回路基板3へ圧着する際にACF4が圧着ヘッドによって押圧されるとき、余分なACF4はそれらの貫通穴10に入り込んで液晶駆動用IC6から逃げる。従って、IC6と基板3との間には常に適量のACF4が存在することになり、よって、ACF4の圧着接続時にそのACF4の内部に大きな導通能力が発生することがなくなり、そのため、経時的に接続不良が発生することもなくなり、その結果、IC6のパンプ16と基板3上のランドとの間の接続信頼性が向上する。

【0046】(変形例) 上記の実装構造体に関しては、次のような変形例が考えられる。まず、上記実施形態では、ACF4等といった接合剤を逃がすための貫通穴を単純な貫通穴10として形成したが、液晶駆動用IC6が実装される回路基板3が表裏両面に配線層を有する両面回路基板であって、しかもそれらの配線層を導通する導電性スルーホールがIC装着領域Aの内部領域に設け

られるときには、そのような導電性スルーホールを接合剤を塗布するための貫通穴として兼用できる。

【0047】また、回路基板3の基材としては、ガラス繊維とエポキシ系樹脂との複合素材であるガラスエポキシ基材に代えて、アラミド繊維又はガラス繊維とアラミド繊維との複合素材等から成る第1素材と、ポリイミド系樹脂又はBT（ビスマレイド・トリアジン）樹脂等から成る第2素材との複合素材を使用することができる。

【0048】また、エポキシ系樹脂、ポリイミド系樹脂、BT樹脂等の単独素材又はそれらの複合若しくは複合素材から成る基板材料を使用して回路基板を形成することもできる。

【0049】また、回路基板3は、上記実施形態のような両面配線基板に代えて、片面配線基板を用いることができ、さらに3層、4層等といった多層基板を用いることもできる。片面配線基板を用いる場合には、液晶駆動用IC6の搭載面と同一面上に出力端子が形成されることになるが、基板のコストを安くすることができる。また、多層基板を使用する場合には、グラウンド層を設けたり電源配線パターンを太くする等のノイズ対策を比較的容易にすることができる。

【0050】（液晶装置の実施形態）図3は、図1に示す実装構造体1を用いた液晶装置を示している。ここに示す液晶装置20は、その実装構造体1及びそれが接続される液晶パネル19によって構成される。

【0051】液晶パネル19は、図4に示すように、シール材27によって一対の透光性基板21a及び21bを貼り合せ、さらにそれらの基板の間に液晶22を封入することによって形成される。一方の透光性基板21aの内側表面には透光性電極23aが形成され、他方の透光性基板21bの内側表面には透光性電極23bが形成される。

【0052】透光性基板21aは対向する透光性基板21bの外方へ張り出しており、その張り出し部にはパネル側端子24が形成される。このパネル側端子24には、透光性電極23aから直接に延びるものと、両基板21a及び21bの間に配置される導通材（図示せず）を介して透光性電極23bにつながるものの2種類が含まれる。各透光性基板21a及び21bの外側表面には偏光板25、26が貼着される。

【0053】半導体チップの実装構造体1は、回路基板3の出力端子14がパネル側端子24と位置的に一致するように位置合わせされた状態で、それらの間に配置されたACF28によって導電接続される。本実施形態では、ACF28として、粒径10 μ mのポリスチレン粒子にNi-Auメッキした導電粒子と、エポキシ系接着剤を主成分とする接着剤とから成るものを使用し、温度170℃、圧力3MPa、加圧時間20秒の圧着条件で接続した。

【0054】なお、ACF28を用いた接続方法に代えて、導電粒子を含まない接着剤だけを使用して回路基板3の出力端子14とパネル側端子24とを直接に接続させて導通させることができる。この接続方法によれば、ACFを用いた場合に生じる導電粒子によるショート不良のおそれが解消され、より微細ピッチの接続が可能になる。

【0055】以上のように構成された液晶装置20に関しても、図4に示したように、半導体チップの実装構造体1において、回路基板3のIC装着領域Aの内部、特に出力配線11及び入力端子12のランド13によって囲まれる領域Bの内部に複数の貫通穴10を分散状態で形成したので、液晶駆動用IC6の圧着の際に余分なACF4はそれらの貫通穴10に入り込み、よって、ACF4の圧着接続時にそのACF4の内部に大きな残留応力が発生することを防止できる。

【0056】（電子機器の実施形態）図5は、本発明に係る電子機器の一例である携帯電話機の一実施形態を示している。ここに示す携帯電話機30は、アンテナ31、スピーカ32、液晶装置20、キースイッチ33、マイクロホン34等といった各種の構成要素を外装ケース35に格納することによって構成されている。液晶装置20は、図3に示した液晶装置によって構成される。

【0057】図6は、図5に示した携帯電話機の内部構造の要部を示しており、液晶パネル19及び実装構造体1によって構成される液晶装置20が携帯電話機30の本体基板37に実装されている。液晶パネル19は、例えば、シリコンゴムや発泡ウレタンを基材とするクッション性のある固定部材68に接着剤を用いて、又は不織布を基材とする両面テープによって、本体基板37の所定位置に固定される。本体基板37の上には、液晶装置20に電源及び入力信号を供給するための端子41が形成され、且つ該端子に接続した剛性のコネクタ42が設けられている。液晶装置20は、入力用ケーブル8をコネクタ42に抜き差し可能に挿入することによって、本体基板37の電源側と接続されている。

【0058】ここに例示した携帯電話機においても、図1に示した実装構造体1を用いることにより、液晶駆動用IC6をACF4を用いて回路基板3へ実装する際に、余分なACF4を貫通穴10へ逃がすことができるので、IC6の接続信頼性が向上する。

【0059】（その他の実施形態）以上、好ましい実施形態を挙げて本発明を説明したが、本発明はその実施形態に限定されるものでなく、請求の範囲に記載した発明の範囲内で種々に改変できる。

【0060】例えば、本発明で用いる半導体チップは液晶駆動用ICに限られず、種々の目的で用いられる種々のICとすることができる。また、半導体チップを実装する基板も図1に示した両面配線構造の基板に限られず、単層の基板又は多層の基板とすることもできる。

【0061】また、図1ではパンプ16及び貫通穴10を直線状の列として配列したが、配列形態は特別な形態に限定されない。例えば、それらを千鳥配列とすることもできる。

【0062】

【発明の効果】本発明に係る半導体チップの実装構造、液晶装置及び電子機器によれば、基板に貫通穴を設けたので、多量の接合剤を間に挟んだ状態で半導体チップを基板に圧着したとき、余分な接合剤を貫通穴に逃がすことができ、それ故、接合剤を用いた圧着接続時にその接合剤の内部に大きな残留応力が発生することを防止でき、そのため、経時的に接続不良が発生することを防止できる。

【0063】また特に、本発明によれば、複数の貫通穴が複数のランドによって囲まれる領域内に配設され、しかもそれらの貫通穴が1個所に集中すること無く分散状態で配設されるので、余分な接合剤をムラなく確実に逃がすことができ、よって、接合剤の内部に残留応力が発生することを半導体チップの全面にわたってほぼ完全に防止できる。

【図面の簡単な説明】

【図1】本発明に係る半導体チップの実装構造体の一実施形態を分解して示す斜視図である。

【図2】図1の実装構造体の要部を示す斜視図である。

【図3】本発明に係る液晶装置の一実施形態を示す斜視図である。

【図4】図3に示す液晶装置の要部の断面構造を示す断面図である。

【図5】本発明に係る電子機器の一実施形態を示す斜視図である。

【図6】図5に示す電子機器の内部構造の要部を示す断面図である。

【図7】本発明に係る半導体チップの実装構造体であって、特に実装完了時の状態を模式的に示す図である。

【図8】図7に示す半導体チップの実装構造体であって、実装完了後の状態を模式的に示す図である。

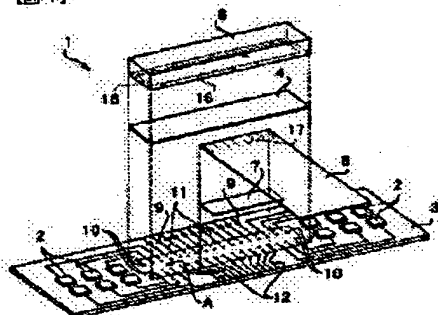
【図9】半導体チップの実装構造体を備えた液晶装置の従来例を示す図である。

【図10】図9に示す半導体チップの実装構造体を分解して示す斜視図である。

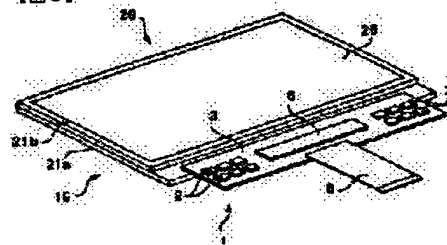
【符号の説明】

- | | |
|----------|--------------|
| 1 | 半導体チップの実装構造体 |
| 2 | 電子チップ部品 |
| 3 | 回路基板 |
| 4 | ACF |
| 5 | 液晶駆動用IC |
| 6 | ACF |
| 7 | 入力用ケーブル |
| 8 | スルーホール |
| 9 | 貫通穴 |
| 10 | 出力配線 |
| 11 | 入力端子 |
| 12 | ランド |
| 13 | 出力端子 |
| 14 | パンプ |
| 15 | 配線パターン |
| 16 | 液晶パネル |
| 17 | 液晶装置 |
| 18 | 液晶装置 |
| 19 | 透光性基板 |
| 20 | 液晶 |
| 21a, 21b | 透光性電極 |
| 22 | パネル側端子 |
| 23a, 23b | 偏光板 |
| 24 | シール材 |
| 25 | ACF |
| 26 | IC装着領域 |
| 27 | ランドの内側領域 |
| 28 | |
| 29 | |
| 30 | |
| 31 | |
| 32 | |
| 33 | |
| 34 | |
| 35 | |
| 36 | |
| 37 | |
| 38 | |
| 39 | |
| 40 | |
| 41 | |
| 42 | |
| 43 | |
| 44 | |
| 45 | |
| 46 | |
| 47 | |
| 48 | |
| 49 | |
| 50 | |
| 51 | |
| 52 | |
| 53 | |
| 54 | |
| 55 | |
| 56 | |
| 57 | |
| 58 | |
| 59 | |
| 60 | |
| 61 | |
| 62 | |
| 63 | |
| 64 | |
| 65 | |
| 66 | |
| 67 | |
| 68 | |
| 69 | |
| 70 | |
| 71 | |
| 72 | |
| 73 | |
| 74 | |
| 75 | |
| 76 | |
| 77 | |
| 78 | |
| 79 | |
| 80 | |
| 81 | |
| 82 | |
| 83 | |
| 84 | |
| 85 | |
| 86 | |
| 87 | |
| 88 | |
| 89 | |
| 90 | |
| 91 | |
| 92 | |
| 93 | |
| 94 | |
| 95 | |
| 96 | |
| 97 | |
| 98 | |
| 99 | |
| 100 | |

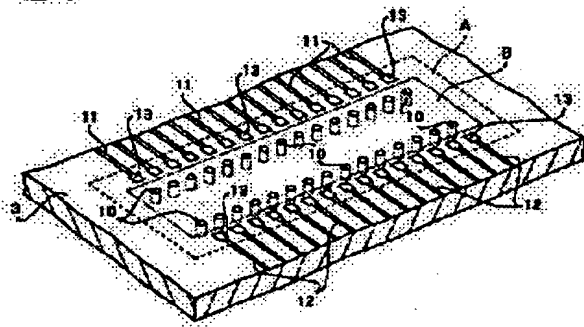
【図1】



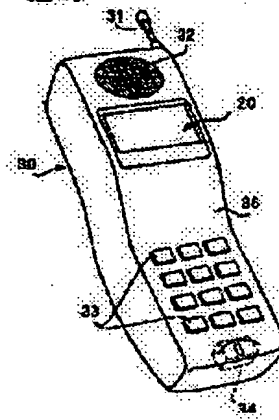
【図3】



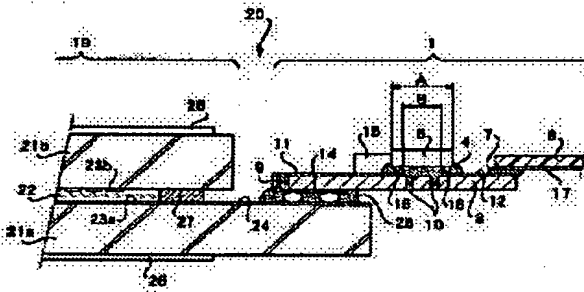
[FIG. 2]



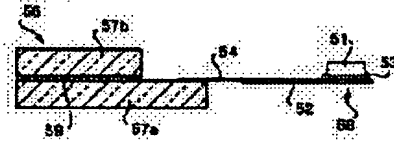
[FIG. 5]



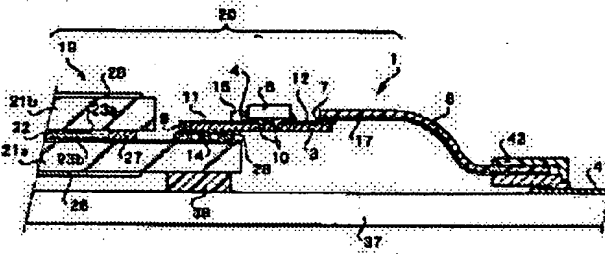
[FIG. 4]



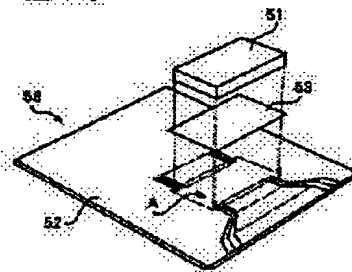
[FIG. 9]



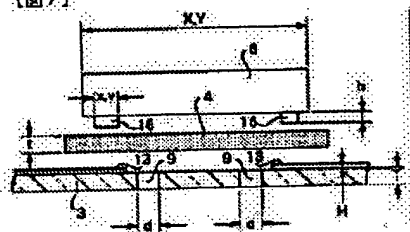
[FIG. 6]



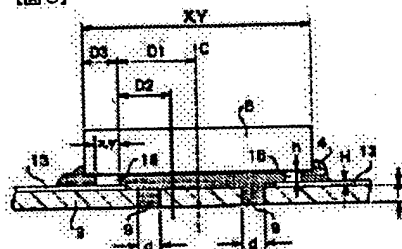
[FIG. 10]



【図 7】



【図 8】



출력 일자: 2004/6/1

발송번호 : 9-5-2004-021064676

수신 : 서울 서초구 양재동 275-7 KEC빌딩 17층

발송일자 : 2004.05.28

김창세 귀하

제출기일 : 2004.07.28

137-130

특허청 의견제출통지서

출원인 명칭 세이코 엘스 가부시키가이샤 (출원인코드: 519980961456)

주소 일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

대리인 성명 김창세

주소 서울 서초구 양재동 275-7 KEC빌딩 17층

출원번호 10-2002-0002000

발명의 명칭 회로 기판 및 그 제조 방법, 및 표시 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항 내지 제16항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1. 청구범위 제1-11항의 기판, 땀납 접속에 의한 제1부품, 이방성 도전막을 게재하여 실장된 제2부품, 제1부품은 포함하지 않고 제2부품을 포함하여 연장된 π 형상 영역을 포함하는 회로 기판은 인용발명1(일본공개특허공보 평11-340285호(1999.12.10))의 기판, 땀납 접속에 의해 실장된 칩저항 등의 전자칩 부품, ACF(이방성 도전막)을 게재하여 실장된 액정 구동용 IC, 전자칩 부품은 포함하지 않고 구동용 IC를 포함하는 π 형상 영역을 구비한 반도체칩 실장 구조체 및 인용발명2(일본공개특허공보 평11-354564호(1999.12.24))의 기판, 필요에 따라 땀납 접속에 의해 실장된 칩저항 등의 회로부품, 이방성 도전막을 게재하여 실장된 IC 칩, 회로부품은 포함하지 않고 IC칩을 포함하는 π 형상 영역을 구비한 IC 구조체 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

2. 청구범위 제12-14항의 땀납 접속에 의한 제1부품은 포함하지 않고 이방성 도전막을 게재하여 실장된 제2부품을 포함한 연장된 π 형상 영역을 갖는 회로 기판, 기판이 접속되는 표시수단을 갖는 표시 장치는 인용발명1의 땀납 접속에 의한 전자칩 부품은 포함하지 않고 이방성 도전막을 게재하여 실장된 구동용 IC를 포함한 π 형상 영역을 구비한 회로기판, 기판이 접속되는 표시수단을 갖는 표시장치 및 인용발명2의 필요에 따라 땀납 접속에 의해 실장된 칩저항 등의 회로부품은 포함하지 않고 이방성 도전막을 게재하여 실장된 IC 칩을 포함한 π 형상 영역을 갖는 회로 기판, 기판이 접속되는 표시수단을 갖는 액정 장치 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

3. 청구범위 제15-16항의 제1부품을 땀납 접속에 의해 실장하는 공정, 이방성 도전막을 배치하는 공정, 제2부품을 이방성 도전막 상에 배치하는 공정, 제2부품을 기판에 열 압착하는 공정을 포함하는 회로 기판의 제조 방법은 인용발명1의 칩저항 등의 전자칩 부품을 실장하는 공정, 이방성 도전막을 배치하는 공정, 액정 구동용 IC칩을 이방성 도전막 상에 배치하는 공정, 구동용 IC칩을 기판

출력 일자: 2004/6/1

에 열 압착하는 공정을 포함하는 반도체 칩 실장 구조체 제조 방법 및 인용발명2의 필요에 따라 칩 저항 등의 회로부품을 실장하는 공정, 이방성 도전막을 배치하는 공정, IC칩을 이방성 도전막 상에 배치하는 공정, IC칩을 기판에 열 압착하는 공정을 포함하는 IC 구조체 제조 방법 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

[첨 부]

첨부 1 일본공개특허공보 평11-340285호(1999.12.10) 1부.

첨부2 일본공개특허공보 평11-354564호(1999.12.24) 1부. 끝.

2004.05.28

특허청

전기전자심사국

응용소자심사담당관실

심사관 김상걸

심사관 김근모



<<안내>>

문의사항이 있으시면 ☎ 042)481-5742 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터